

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256252

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/3205

H 0 1 L 21/88

R

21/28

3 0 1

21/28

3 0 1 R

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21) 出願番号

特願平9-59279

(22) 出願日

平成9年(1997) 3月13日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 森 剛

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 深田 哲生

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 長谷川 万希子

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 深見 久郎 (外3名)

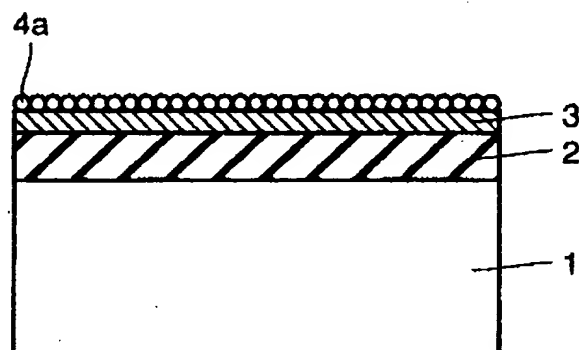
最終頁に続く

(54) 【発明の名称】 銅薄膜の成膜方法

(57) 【要約】

【課題】 CVD法を用いて、高融点金属あるいはその窒化物からなる膜上に銅薄膜を密着性よく成膜する。

【解決手段】 シリコン基板1の主表面上にシリコン酸化膜2を介在して形成されたTiN膜(下地膜)3の表面上に銅原料4aを暴露する。そして、その後にTiN膜3上に銅薄膜を成膜する。



4a : 銅原料

**【特許請求の範囲】**

【請求項1】 高融点金属あるいはその窒化物からなる下地膜上に銅薄膜を成膜する方法であって、前記下地膜表面に銅原料を暴露する工程と、前記銅原料を暴露した後に前記下地膜上に銅薄膜を成膜する工程と、を備えた銅薄膜の成膜方法。

【請求項2】 前記下地膜は基板上に形成され、前記銅原料を暴露する工程は、前記基板の面内温度差を $\pm 4^{\circ}\text{C}$ 以下に制御して行なう、請求項1に記載の銅薄膜の成膜方法。

【請求項3】 前記銅原料を暴露する工程は、前記銅薄膜の成膜温度よりも低い温度下で行なわれる、請求項1に記載の銅薄膜の成膜方法。

【請求項4】 前記銅原料を暴露する工程は、前記銅原料を暴露した後に前記銅薄膜の成膜温度よりも高い温度下での熱処理を前記下地膜に施す工程を含む、請求項1に記載の銅薄膜の成膜方法。

【請求項5】 前記銅原料を暴露する工程を複数回繰返す、請求項1から4のいずれかに記載の銅薄膜の成膜方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】この発明は、銅薄膜の成膜方法に関し、特に、高融点金属あるいはその窒化物からなる下地膜上にCVD (Chemical Vapor Deposition) 法を用いて銅薄膜を成膜する方法に関するものである。

**【0002】**

【従来の技術】従来から、LSIの配線材料として、配線抵抗やエレクトロマイグレーション耐性等の特性が優れた、Alに銅を添加した材料が一般に使用されてきた。しかしながら、LSIの微細化が進み、配線幅が $0.15\mu\text{m}$ 程度以下となる世代では、Alに銅を添加した材料からなる配線を使用したとしても配線抵抗等の特性において問題が生じるものと考えられる。

【0003】そこで、そのような問題を解消すべく、配線幅が $0.15\mu\text{m}$ 程度以下となる世代では、銅配線の使用が検討されている。銅は比較的拡散しやすい材質であるため、LSIの製造プロセスで通常行なわれる熱処理により、下地となる膜中に拡散することが懸念される。このような拡散を防止すべく、銅配線の下には、たとえばTiN膜等の拡散バリア膜を形成するのが一般的であると考えられる。

【0004】上記の内容に鑑み、以下にTiN膜上に銅薄膜を形成する従来の手法について図10と図11とを用いて説明する。図10と図11は、TiN膜上に銅薄膜を形成する従来の手法における第1と第2工程を示す断面図である。なお、図10と図11には、シリコン基板1上にシリコン酸化膜2を介在して形成されたTiN膜3上に銅薄膜4を成膜する場合が示されている。

【0005】まず、図10を参照して、たとえばCVD法を用いてシリコン基板1上にシリコン酸化膜2とTiN膜3とを順次堆積する。その後、図11に示されるように、TiN膜上に、たとえばCu(hfac)(tmvs)を用いて、特別な前処理を行なうことなく、CVD法によって銅薄膜4を形成する。ここで、hfacは、hexafluoroacetylacetonateの略称であり、tmvsは、trimethylvinylsilaneの略称である。

**【0006】**

【発明が解決しようとする課題】しかしながら、上記のように前処理を行なうことなくCu(hfac)(tmvs)を用いてCVD法によってTiN膜3上に銅薄膜4を形成した場合には、Advanced Metalization for ULSI Applications in 1994 P.79~P.86においても指摘されているように、下地となるTiN膜3と銅薄膜4との密着性が不足するという問題が生じていた。

【0007】この発明は上記のような課題を解決するためになされたものである。この発明の目的は、CVD法を用いて、高融点金属あるいはその窒化物からなる下地膜上に銅薄膜を密着性よく形成することが可能となる銅薄膜の成膜方法を提供することにある。

**【0008】**

【課題を解決するための手段】この発明に係る銅薄膜の成膜方法は、高融点金属あるいはその窒化物からなる下地膜上に銅薄膜を成膜するものである。そして、まず、下地膜の表面に銅原料を暴露し、この銅原料の暴露の後に下地膜上に銅薄膜を成膜する。なお、本明細書において「暴露」とは、下地膜と反応させることなく下地膜上に銅原料等の原料を付着させる処理のことを称するものと定義する。また、上記の「成膜」とは、原料を反応させることにより銅薄膜等の膜を形成する処理のことを称するものと定義する。

【0009】なお、上記の下地膜は基板上に形成されることが好ましく、上記の銅原料を暴露する工程は、基板の面内温度差を $\pm 4^{\circ}\text{C}$ 以内に制御して行なうことが好ましい。

【0010】また、銅原料を暴露する工程は、銅薄膜の成膜温度よりも低い温度下で行なわれることが好ましい。

【0011】また、銅原料を暴露する工程は、銅原料を暴露した後に、銅薄膜の成膜温度より高い温度下での熱処理を下地膜に施す工程を含むことが好ましい。

【0012】また、上記の銅原料を暴露する工程は、複数回繰返されることが好ましい。

**【0013】**

【発明の実施の形態】以下、図1~図9を用いて、この発明の実施の形態について説明する。

【0014】(実施の形態1) まず、図1~図4を用いて、この発明の実施の形態について説明する。図1~図4はこの発明の実施の形態1における銅薄膜の成膜方法

の第1工程～第4工程を示す断面図である。

【0015】図1を参照して、シリコン基板1の表面上にCVD法等を用いて、シリコン酸化膜2とTiN膜3とを順次形成する。このとき、シリコン酸化膜2は、たとえば500nm程度の厚みとされ、TiN膜3は10nm程度の厚みとされる。

【0016】次に、図2に示されるように、TiN膜3の表面上に銅原料4aを暴露する。すなわち、TiN膜3の表面上に、このTiN膜3と反応させることなく銅原料4aを付着させる。このときの条件は、下記の表1のとおりである。

【0017】

【表1】

基板温度	30℃
圧力	18Torr
原料流量Cu(hfac)(tmvs)	0.5g/min
キャリア流量(H <sub>2</sub> )	500sccm
露時間	2分以上

【0018】なお、上記の表1において、基板温度が約30℃である旨が表示されているが、この温度以外であっても、銅原料4aが反応することなくTiN膜3等の下地膜上に付着され得る温度であればよい。たとえば、後述する銅薄膜の成膜が可能な基板温度よりも低い温度であれば、銅原料4aをTiN膜3と反応させることなくTiN膜3の表面上に付着させることが可能となると考えられる。

【0019】次に、シリコン基板1の温度をたとえば約180℃程度にまで上昇させる。それにより、図3に示されるように、TiN膜3の表面上に、銅原料4aにより構成される核4bが生成される。このように核4bが形成された後、下記の表2に示される条件で銅薄膜4の成膜を行なう。

【0020】

【表2】

基板温度	180℃
圧力	18Torr
原料流量Cu(hfac)(tmvs)	0.2g/min
キャリア流量(H <sub>2</sub> )	500sccm

【0021】上記の表2に示されるように、銅原料4aを暴露する際の基板温度よりも高い温度に基板温度を保持している。この場合であれば、約180℃に基板温度を保持する例が示されているが、銅原料4aが反応することによって核4bが生成されかつ成長する温度であれば、表2に示される温度以外の温度を採用できる。また、表2に示される、銅薄膜4の成膜の際の銅原料4aの流量が、銅原料4aの暴露の際の銅原料4aの流量よりも少なくなるように設定されている。このように銅原料4aの流量を各処理に応じて適切に調整することによ

り、より多くの銅原料4aを下地となるTiN膜3の表面に付着させて核4bの生成を促進することが可能となるとともに、銅薄膜4の成長をも促進することが可能となる。

【0022】上記のようにして銅薄膜4を形成した後、所定の温度にまでシリコン基板1を冷却する。そして、シリコン基板1をCVD炉内から取出す。以上の工程を経てシリコン基板1上にTiN膜3を介在して銅薄膜4が形成されることとなる。

【0023】本願発明の発明者は、上記のような方法で銅薄膜4を形成した後、銅薄膜4とTiN膜3との密着強度を評価した。その評価結果が下記の表3に示されている。なお、評価方法としては、本願発明に係る暴露処理を経てTiN膜3上に形成された銅薄膜4と暴露処理を行わずにTiN膜3上に形成された銅薄膜4とを準備し、各々に粘着性テープを付着し、そのテープを剥がすことにより銅薄膜4がTiN膜3から剥がれるか否かを評価した。

【0024】

【表3】

暴露処理	テープテスト
有	○
無	×

【0025】表3に示されるように、本願発明に係る暴露処理を行なったものについては、粘着性テープを引剥がした後においてもTiN膜3上に銅薄膜4が残余することが確認された。つまり、上述の方法で銅薄膜4を成膜することにより、銅薄膜4とTiN膜3との密着強度を増大させることが可能となることがわかる。

【0026】なお、上記のTiN膜3の代わりにW、Ta、Ti、Cr、Mo等の高融点金属やその窒化物を用いたとしても、同様の結果が期待できると考えられる。また、上述あるいは後述する成膜方法は、銅薄膜4以外の導電層の成膜に際しても適用可能な場合があり得ると推察される。

【0027】(実施の形態2) 次に、図5および図6を用いて、この発明の実施の形態2について説明する。図5は、暴露処理の際に基板の面内温度差が大きい場合に懸念される問題点を模式的に示す断面図である。

【0028】図5を参照して、暴露処理の際に基板に所定以上の面内温度差が生じた場合には、銅原料4aの付着むらが生じることが懸念される。それにより、銅原料4aの付着後に形成される核4bもTiN膜3の表面で不均一に形成されることが考えられる。その結果、図5に示されるように、相対的に大きい厚みt2を有する部分と、相対的に小さい厚みt1を有する部分とを含む銅薄膜4が形成され、銅薄膜4の表面粗さが大きくなる。それにより、銅薄膜を配線等として使用する際の特性が劣化することが懸念される。

【0029】そこで、シリコン基板1の面内温度差が所定の範囲内となるように制御する。具体的には、たとえばホットプレートタイプの基板加熱用ヒータを準備し、シリコン基板1をホットプレートに押し付けることにより加熱（冷却）を行なう。ここで、ホットプレートの中央部と周縁部とでは加熱（冷却）量を独立に制御でき、ホットプレートとシリコン基板1との接触部にはアルミ部材を使用して均熱性を向上させる。また、シリコン基板1の裏面にガスを導入し熱伝導により加熱する。なお、冷却はチラーを使用し、冷却したHeを循環させることにより行なう。

【0030】上記のようなシリコン基板1の温度制御方法により、たとえばシリコン基板1の面内温度差を±4℃以下程度の範囲内に保持する。このような温度範囲内にシリコン基板1の温度を保持して暴露処理を行ない、その後銅薄膜4を成膜した結果が図6に示されている。なお、この図6においては6インチの半導体ウェハ6を上記のシリコン基板1として使用し、この半導体ウェハ6の表面に銅薄膜4を形成した。

【0031】その結果、この銅薄膜4の平均膜厚 $d_{av}$ は、4190.5Åであり、均一性（ $\sigma/d_{av}$ ）は6.6%であった。この結果より、基板の面内温度差、図6においては半導体ウェハ6の面内温度差を±4℃程度以内に制御して暴露処理を行なうことにより、下地との密着性が改善されるばかりでなく、表面粗さの小さい銅薄膜4を形成することが可能となることがわかる。そして、このようにして形成された銅薄膜4を配線として使用することにより、優れた特性の配線が得られる。

【0032】（実施の形態3）次に、この発明の実施の形態3について説明する。上記の実施の形態1では、基板温度を30℃に設定したが、基板温度としては適切な範囲があるものと考えられる。そこで、本実施の形態3では、暴露処理における基板温度として好ましい範囲であると考えられるものについて言及する。

【0033】本願発明に係る暴露処理では、前述のように、下地膜と反応させることなく下地膜の表面上に銅原料4aを付着させている。したがって、暴露処理は、銅原料4aが液化することなく安定して存在しかつ銅原料4aと下地膜（たとえばTiN膜3）との反応が起こらない温度範囲内で行なわれることが好ましいといえる。この内容に鑑み、基板温度が約5℃以上、約30℃以下の範囲内で暴露処理を行なうことが好ましいといえる。さらに好ましくは、基板温度が約5℃以上、約20℃以下の範囲内で暴露処理を行なう。それにより、さらに効果的に下地膜の表面に銅原料4aを付着させることが可能となると考えられる。

【0034】なお、本実施の形態3における暴露処理の条件を表4に示す。

【0035】

【表4】

基板温度	5℃以上 20℃以下
圧力	18Torr
原料流量 Cu(hfac)(tmvs)	0.5g/min
キャリア流量 (H <sub>2</sub> )	500sccm
暴露時間	2分以上

【0036】（実施の形態4）次に、図7および図8を用いて、この発明の実施の形態4について説明する。図7と図8は、この発明の実施の形態4における銅薄膜4の成膜方法の特徴的な第1と第2工程を示す断面図である。

【0037】本実施の形態4では、上記の実施の形態1の場合と同様の方法で銅原料4aの暴露処理までを行なう。その後、たとえば約200℃～約450℃の温度で暴露処理後の銅原料4aとTiN膜3とに熱処理を施す。なお、この熱処理は、後述する銅薄膜4の成膜時の温度（たとえば約180℃）よりも高いものであればよいものと考えられる。このような温度下での熱処理を施すことにより、図7に示されるように、銅原料4aにより構成される核4bが形成され、この核4bとTiN膜3との間に、銅とTiNとが混在した混在層5が形成される。この混在層5内では銅原子がTiNの粒界に存在した状態となっており、このような混在層5が存在することにより、後に形成される銅薄膜4とTiN膜3との密着強度を向上させることが可能となる。

【0038】上記のようにして混在層5を形成するための熱処理を行なった後、実施の形態1の場合と同様の条件で銅薄膜4を成膜する。それにより、図8に示される構造が得られる。

【0039】（実施の形態5）次に、本発明の実施の形態5について説明する。本実施の形態5では、本願発明に係る暴露処理を複数回繰返して行なうことを特徴としている。このように複数回の暴露処理を行なうことにより、TiN膜3の表面に、より密に銅原料4aを付着させることが可能となると考えられる。

【0040】それにより、核4bを密に生成させることができ、効率的に銅薄膜4を成膜することが可能となると考えられる。また、下地膜となるTiN膜3の表面上により均一に銅原料4aを付着させることも可能となると考えられ、TiN膜3の表面に、より均一に核4bを生成させることが可能となると考えられる。その結果、銅薄膜4を効率的に成膜できるばかりでなく、銅薄膜4とTiN膜3との密着強度をも向上させることが可能となると考えられる。

【0041】なお、暴露処理を繰返す手法としては、同じ条件で複数回の暴露処理を繰返す手法と、異なる条件で暴露処理を繰返す手法とが考えられるが、いずれの手法を用いてもよい。また、上述の実施の形態4の場合のように暴露処理後に熱処理を行なう場合には、暴露処理と熱処理とを複数回繰返してもよい。このようにして暴

露処理を複数回繰返した後、上述の各実施の形態の場合と同様の方法で銅薄膜4を成膜する。

【0042】次に、図9を用いて、本発明の適用例について説明する。図9は、本発明に係る銅薄膜4の成膜方法が適用可能なDRAM (Dynamic Random Access Memory) を示す断面図である。

【0043】図9を参照して、シリコン基板10の主表面には間隔をあけて不純物拡散領域14a、14bが形成されている。この不純物拡散領域14a、14bによって規定されるチャンネル領域上にゲート絶縁膜15を介在してゲート電極16が形成される。一方、シリコン基板10の主表面には、素子間を分離するためのトレンチ11a、11bがそれぞれ形成されている。このトレンチ11a、11b内には絶縁膜12a、12bを介在してポリシリコン膜13a、13bがそれぞれ形成される。

【0044】シリコン基板10の主表面を覆うように層間絶縁膜18aが形成され、この層間絶縁膜18aには、不純物拡散領域14a、14bにそれぞれ到達するコンタクトホール11c、11dが形成される。このコンタクトホール11c、11d内には、たとえばWなどからなるプラグ電極17a、17bがそれぞれ形成される。

【0045】層間絶縁膜18aを覆うように層間絶縁膜18bが形成され、この層間絶縁膜18bにはビアホール11eが形成される。このビアホール11e内には、拡散バリアとして機能するTiN膜19aが形成される。このTiN膜19a上には銅配線20aが形成されることとなる。このように、TiN膜19a上に銅配線20aを形成する際に、本願発明に係る銅薄膜の成膜方法が適用可能である。

【0046】層間絶縁膜18bを覆うように層間絶縁膜18cが形成され、この層間絶縁膜18cにはトレンチ11fが形成される。トレンチ11f内にはTiN膜19bを介在して銅配線20bが形成される。また、層間絶縁膜18cを覆うようにさらに層間絶縁膜18dが形成され、この層間絶縁膜18dにもトレンチ11gが形成される。トレンチ11g内にも、TiN膜19cを介在して銅配線20cが形成される。そして、この銅配線20cおよび層間絶縁膜18dを覆うようにパッシベーション膜21が形成される。上記の銅配線20c、20bの形成の際にも、本願発明に係る銅薄膜の成膜方法を使用できる。

【0047】なお、図9には、サブミクロンレベルの銅配線の形成を行なうべく考案されたダマシンプロセスを経て形成された銅配線20a、20b、20cを開示したが、それ以外の用途にも本願発明は適用可能である。上記のダマシンプロセスについては、たとえば、月刊Semiconductor World 1995、12「ダマシン方式を用いた配線プロセス」等に記載されている。

【0048】以上のように、本願発明の実施の形態あるいは適用例について説明を行なったが、本願発明の思想は、銅薄膜以外の導電膜の成膜にも適用可能な場合があり得ると推察される。また、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本願発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0049】

【発明の効果】上述したように、この発明に係る銅薄膜の成膜方法では、銅薄膜の成膜前に銅原料の暴露処理を行なっている。この暴露処理は、気相状態の銅原料中に所定温度で下地膜を晒すことにより行なわれるので、このような暴露処理を行なうことにより銅原料を下地膜の表面全面上にほぼ均等に付着させることが可能となる。それにより、銅薄膜の成膜に際し、下地膜の表面全面上においてほぼ均等に、銅原料により構成される核を生成することが可能となる。その結果、下地膜の表面上にほぼ均一かつ密着性よく銅薄膜を成膜することが可能となる。

【0050】また、下地膜を基板上に形成し、該基板の面内温度差を±4℃以下程度の範囲内に保持した状態で上記の暴露処理を行なった場合には、下地膜の表面上にさらに均一に銅原料を付着させることが可能となる。それにより、上述の効果に加えて、図6に示されるように、基板(図6においては半導体ウェハ6)上に銅薄膜をほぼ均一の厚みに成膜することが可能となる。その結果、表面粗度の低減された銅薄膜が得られる。

【0051】また、銅薄膜の成膜温度よりも低い温度で上記の暴露処理を行なった場合には、下地膜と反応させることなく下地膜上に銅原料を付着させることが可能となる。それにより、上述のように、下地膜上に密着性よく銅薄膜を成膜することが可能となる。

【0052】また、暴露処理後に銅薄膜の成膜温度よりも高い温度下での熱処理を施した場合には、上記の核と下地膜との間に、下地膜を構成する材料と銅との混在層を形成することが可能となる。この混在層中では、たとえば下地膜がTiN膜の場合には、TiNの粒界に銅が存在する状態となる。混在層は銅薄膜の成膜後においても存在し、このような混在層の存在により、成膜後の銅薄膜と下地膜との密着性をさらに向上させることが可能となる。

【0053】また、暴露処理を複数回繰返した場合には、下地膜の表面上に銅原料をより均一かつ密に付着させることが可能となる。それにより、銅原料の付着後に生成される核を、下地膜の表面上において、より均一かつ密に生成させることができる。この状態で銅薄膜を成膜することにより、下地膜上に銅薄膜を密着性よく成膜できるとともに、下地膜上に均一に銅薄膜を成膜することも可能となる。

## 【図面の簡単な説明】

【図1】 この発明の実施の形態1における銅薄膜の成膜方法の第1工程を示す断面図である。

【図2】 この発明の実施の形態1における銅薄膜の成膜方法の第2工程を示す断面図である。

【図3】 この発明の実施の形態1における銅薄膜の成膜方法の第3工程を示す断面図である。

【図4】 この発明の実施の形態1における銅薄膜の成膜方法の第4工程を示す断面図である。

【図5】 下地膜であるTiN膜表面上に不均一に銅原料が付着された場合の問題点を説明するための断面図である。

【図6】 基板としての半導体ウェハの表面上に、この発明の実施の形態2に記載の方法で銅薄膜を成膜した場合の銅薄膜の膜厚分布を示す図である。

【図7】 この発明の実施の形態4における銅薄膜の成膜方法の特徴的な第1工程を示す断面図である。

【図8】 この発明の実施の形態4における銅薄膜の成膜方法の特徴的な第2工程を示す断面図である。

【図9】 この発明に係る銅薄膜の成膜方法が適用可能な半導体装置の一例(DRAM)を示す断面図である。

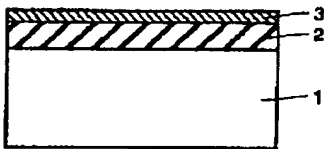
【図10】 従来の銅薄膜の成膜方法における第1工程を示す断面図である。

【図11】 従来の銅薄膜の成膜方法における第2工程を示す断面図である。

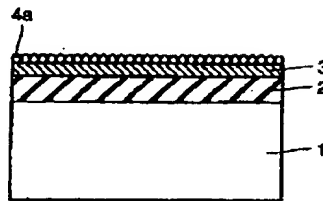
## 【符号の説明】

1, 10 シリコン基板、3, 19a, 19b, 19c TiN膜、4 銅薄膜、4a 銅原料、4b 核、5 混在層、6 半導体ウェハ、20a, 20b, 20c 銅配線。

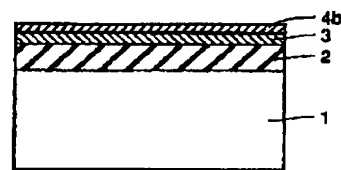
【図1】



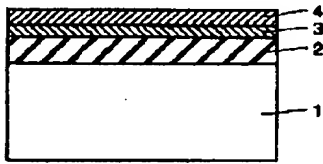
【図2】



【図3】



【図4】

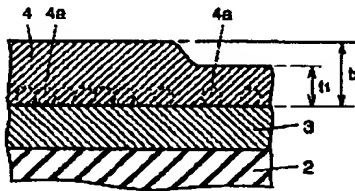


4a: 銅原料

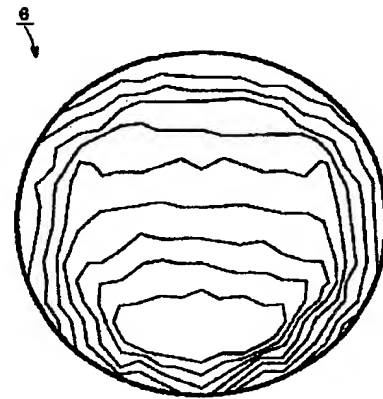
4b: 核

4: 銅薄膜

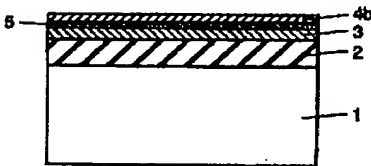
【図5】



【図6】

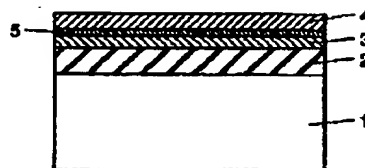


【図7】

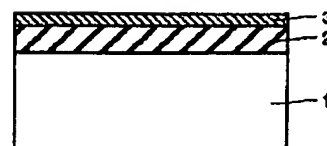


5: 混在層

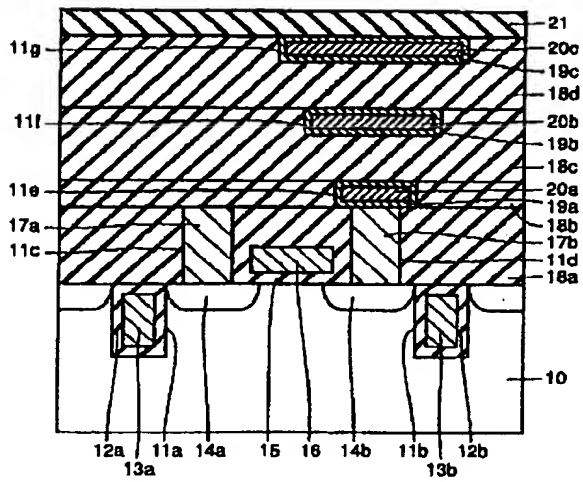
【図8】



【図10】

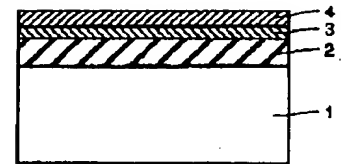


【図9】



18a, 18b, 18c : TIN膜  
20a, 20b, 20c : 銅配線

【図11】



フロントページの続き

(72)発明者 豊田 吉彦  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】 第 7 部門第 2 区分  
【発行日】 平成 13 年 4 月 13 日 (2001. 4. 13)

【公開番号】 特開平 10-256252  
【公開日】 平成 10 年 9 月 25 日 (1998. 9. 25)  
【年通号数】 公開特許公報 10-2563  
【出願番号】 特願平 9-59279  
【国際特許分類第 7 版】

H01L 21/3205  
21/28 301

【F I】

H01L 21/88 R  
21/28 301 R

【手続補正書】

【提出日】 平成 12 年 3 月 27 日 (2000. 3. 27)

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 発明の名称

【補正方法】 変更

【補正内容】

【発明の名称】 銅薄膜の成膜方法および銅配線

【手続補正 2】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正内容】

【特許請求の範囲】

【請求項 1】 高融点金属あるいはその窒化物からなる下地膜上に銅薄膜を成膜する方法であって、前記下地膜表面に銅原料を暴露する工程と、前記銅原料を暴露した後に前記下地膜上に銅薄膜を成膜する工程と、を備えた銅薄膜の成膜方法。

【請求項 2】 前記下地膜は基板上に形成され、前記銅原料を暴露する工程は、前記基板の面内温度差を  $\pm 4^{\circ}\text{C}$  以下に制御して行なう、請求項 1 に記載の銅薄膜の成膜方法。

【請求項 3】 前記銅原料を暴露する工程は、前記銅薄膜の成膜温度よりも低い温度下で行なわれる、請求項 1 に記載の銅薄膜の成膜方法。

【請求項 4】 前記銅原料を暴露する工程は、前記銅原料を暴露した後に前記銅薄膜の成膜温度よりも高い温度下での熱処理を前記下地膜に施す工程を含む、請求項 1 に記載の銅薄膜の成膜方法。

【請求項 5】 前記銅原料を暴露する工程を複数回繰返す、請求項 1 から 4 のいずれかに記載の銅薄膜の成膜方

法。

【請求項 6】 請求項 1 から 5 のいずれかに記載の成膜方法により形成された銅配線。

【手続補正 3】

【補正対象書類名】 明細書

【補正対象項目名】 0001

【補正方法】 変更

【補正内容】

【0001】

【発明の属する技術分野】 この発明は、銅薄膜の成膜方法および銅配線に関し、特に、高融点金属あるいはその窒化物からなる下地膜上に CVD (Chemical Vapor Deposition) 法を用いて銅薄膜を成膜する方法および当該方法により形成された銅配線に関するものである。

【手続補正 4】

【補正対象書類名】 明細書

【補正対象項目名】 0007

【補正方法】 変更

【補正内容】

【0007】 この発明は上記のような課題を解決するためになされたものである。この発明の目的は、CVD 法を用いて、高融点金属あるいはその窒化物からなる下地膜上に銅薄膜を密着性よく形成することが可能となる銅薄膜の成膜方法および当該方法により形成された銅配線を提供することにある。

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0012

【補正方法】 変更

【補正内容】

【0012】 また、上記の銅原料を暴露する工程は、複数回繰返されることが好ましい。この発明に係る銅配線は、上述のいずれかの成膜方法により形成される。



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256252  
 (43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 21/3205  
 H01L 21/28

(21)Application number : 09-059279

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.03.1997

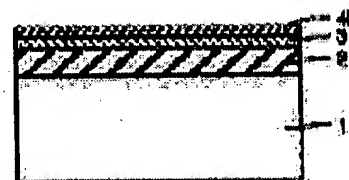
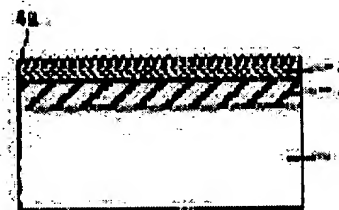
(72)Inventor : MORI TAKESHI  
 FUKADA TETSUO  
 HASEGAWA MAKIKO  
 TOYODA YOSHIHIKO

## (54) METHOD OF GROWING COPPER FILM

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To form a copper film on a base film, consisting of high melting point metal or its nitride, with good adhesion, using a CVD method by exposing copper material on the surface of the base film, and growing a copper film on the base film after exposure of this copper material.

**SOLUTION:** A silicon oxide film 2 and a TiN film 3 are formed in order, using a CVD method or the like, on the surface of a silicon substrate 1. A copper material 4a is exposed on the surface of the TiN film 3. That is, the copper material 4a is stuck onto the surface of the TiN film 3 without reacting it upon this TiN film 3. The temperature of the silicon substrate 1 is raised to, for example, about 180°C. Hereby, a nucleus 4b constituted of the copper material 4a is produced on the surface of the TiN film 3. Then, by properly adjusting the flow of the copper material 4a, according to each treatment, the copper material 4a is stuck to the surface of the TiN film 3 to serve as a base, so as to accelerate the production of the nucleus 4b, and also it enables acceleration of the growth of a copper film.



## LEGAL STATUS

[Date of request for examination]

27.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

ASH.005

The invention of the present application relates to a semiconductor device and its method of manufacture which has wiring formed from copper. However, it is judged that this could easily have been invented by combining the technology disclosed in Citation 1 (Japanese Laid Open Patent Publication 11-186261) for improving the reliability of wiring layer construction by increasing the grain size in order to improve resistance relative to electro-migration by preventing voids from occurring in a copper filled wiring layer and copper cladding, with Citation 2 (Japanese Laid Open Patent Publication Hei 10-256252) which discloses technology for forming a copper film having excellent adhesion characteristics on a film having a high fusion point metallic or nitride substance and constructed by the CVD method, as referred to in Claims 1-13 of the present application.

Addenda

Addendum 1:

Japanese Laid Open Patent Publication 11-186261;  
1 set

Addendum 2:

Japanese Laid Open Patent Publication Hei 10-256252;  
1 set